

ОРГАНИЗАЦИЯ УСКОРЕННЫХ ИСПЫТАНИЙ ПОЛУПРОВОДНИКОВЫХ ПРИБОРОВ НА ДЛИТЕЛЬНУЮ НАРАБОТКУ

Янцевич Ю.В., Бурак И.А., Шнейдеров Е.Н.

Научные руководители: канд. техн. наук, доц. Боровиков С.М.; д-р техн. наук, проф. Жагора Н.А.
Белорусский государственный университет информатики и радиоэлектроники, Беларусь
E-mail: yulia.yantsevich@gmail.com, shneiderov@bsuir.by

Аннотация — Рассмотрено проведение ускоренных испытаний полупроводниковых приборов на длительную наработку (на примере биполярных транзисторов). Приведена структурная схема разработанной экспериментальной установки для испытания биполярных транзисторов.

1. Введение

Для проведения испытаний полупроводниковых приборов (ППП) на длительную наработку используют ускоренные форсированные испытания, позволяющие заметно сократить время испытаний. Ускорение испытаний во многих случаях достигается форсированием режимов работы ППП.

Суть ускоренных испытаний ППП заключается в ускорении только того механизма отказов, который является характерным для испытываемых приборов при их работе в нормальном режиме.

2. Основная часть

Организация ускоренных испытаний на длительную наработку биполярных транзисторов (БТ) включает несколько этапов. На первом этапе выбираются основные ускоряющие факторы, способствующие выявлению слабых, дефектных мест в БТ. Используются повышенные температурные нагрузки, механические воздействия в виде линейных ускорений, ударов и вибрационных нагрузок, электрические нагрузки [1].

На следующем этапе производится выбор модели для проведения ускоренных испытаний. Классической количественной характеристикой ускоренных испытаний является коэффициент ускорения [2]:

$$K_y = \frac{t}{t_y},$$

где t — время испытаний при нормальных условиях, без повышенных нагрузок; t_y — время испытаний при повышенной нагрузке.

Для нахождения коэффициента ускорения K_y необходимо воспользоваться методикой расчета, основанной на моделях Пека, Аррениуса, Эйринга и др. [1].

На последующих этапах выбираются режим и условия проведения ускоренных испытаний. Принимают во внимание будущую работу БТ в нормальных условиях, в первую очередь номинальную рабочую температуру и коэффициент электрической нагрузки по мощности, выбираемый обычно из условия $K_n \leq (0,2 \dots 0,8)$.

В качестве ускоряющего фактора обычно используют повышенную температуру. При необходимости для сокращения времени испытаний дополнительно можно выбрать и электрическую нагрузку, например в виде обратного смещения на коллекторном переходе транзисторов.

Заключительный этап состоит в принятии решения о периодичности контроля работоспособности транзисторов при испытаниях.

На рис. 1 приведена разработанная структурная схема экспериментальной установки для проведения ускоренных испытаний БТ. Она позволяет проводить испытание выборки БТ объемом $n=200$ в условиях

повышенной температуры с подачей максимально допустимого по ТУ обратного постоянного напряжения на переход коллектор-эмиттер.

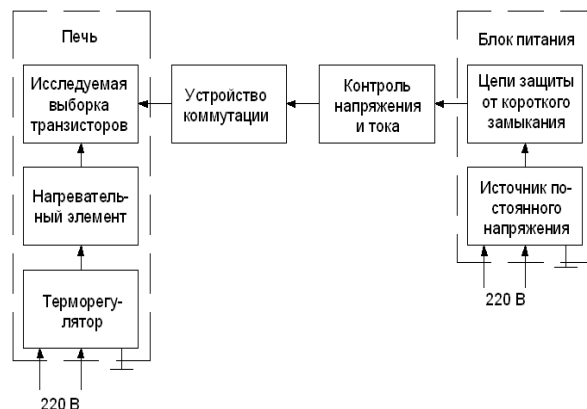


Рис. 1

В процессе проведения экспериментальных исследований выборки БТ на длительную наработку периодически выполнялось измерение их основных функциональных параметров. На отказавший экземпляр составлялся паспорт, в который записывались тип прибора, его номер, время, дата выхода транзистора из строя и длительность его испытания.

3. Заключение

Организация и проведение ускоренных испытаний с обеспечением периодического контроля функциональных параметров БТ позволяет за короткие сроки получить информацию об изменении функциональных параметров от времени работы и построить деградационные математические модели функциональных параметров в виде зависимостей этих параметров от длительной наработки.

4. Список литературы

- [1] Manual. Quality and Reliability. Philosophy and Procedures / NECElectronics (Europe) GmbH, 1993. — 132 p.
- [2] Пешес Л.Я. Основы теории ускоренных испытаний на надёжность / Л.Я. Пешес, М.Д. Степанова. — Минск: Наука и техника, 1972. — 165 с.

ACCELERATED TESTING METHODS OF SEMICONDUCTOR DEVICES ON THE LONG OPERATING

Yantsevich Y.V., Burak I.A., Shneiderov E.N.,
Scientific adviser: Borovikov S.M., Zhagora N.A.
Belarusian State University of Informatics and
Radioelectronics, Belarus

Abstract — The accelerated testing method of semiconductor devices for the long-processing (for example, bipolar transistors) is considered. The block scheme of the experimental apparatus, designed for testing of bipolar transistors, is presented.