

# TLP-МОДЕЛИРОВАНИЕ ЗАЩИТЫ МИКРОСХЕМ ОТ ВОЗДЕЙСТВИЯ ЭЛЕКТРОСТАТИЧЕСКОГО РАЗРЯДА

Брылева О. А.

Научный руководитель: канд. техн. наук, доц. Алексеев В.Ф.

Белорусский государственный университет информатики и радиоэлектроники, Беларусь  
E-mail: bryleva.bsuir@mail.com

**Аннотация** — Рассмотрен способ моделирования и исследования схем защиты от воздействия электростатического разряда — TLP-моделирование. Предложенный способ предполагает анализ физических процессов, протекающих в структуре изделия при воздействии короткого электростатического импульса.

## 1. Введение

Производители микросхем стремятся к выпуску продукции, которая имеет высокий уровень устойчивости к воздействию электростатического разряда (ЭСР). Все новые продукты, как правило, проходят проверку на устойчивость путем моделирования воздействия по известным схемам: *HBM*, *FICDM*, *MM* и при строгом соблюдении требований отраслевых стандартов [1, 2]. Еще одним способом получения информации о степени защищенности устройства является TLP-моделирование или моделирование по схеме «Transmission-Line Pulse» [3]. Полученная в результате измерения информация используется для доработки исследуемой продукции или исправления выявленных несовершенств.

## 2. Основная часть

Моделирование является одним из наиболее эффективных и удобных способов исследования и прогнозирования физических процессов, протекающих в структуре микросхем при воздействии ЭСР. В частности, для моделирования воздействия короткого электростатического импульса (длительностью всего несколько наносекунд) наибольшее применение на практике нашло TLP-моделирование [3]. Наиболее явным преимуществом моделирования по схеме TLP, является то, что оно дает представление не только о пороге отказа устройства вследствие воздействия ЭСР, но и о мгновенной вольтамперной (*I-U*) характеристике. Немаловажным является и тот факт, что для получения ряда важных характеристик при исследовании не возникает необходимости в повреждении устройства. Тестовая схема для TLP-50 (схема с постоянным сопротивлением 50 Ом) показана на рис. 1 [4].

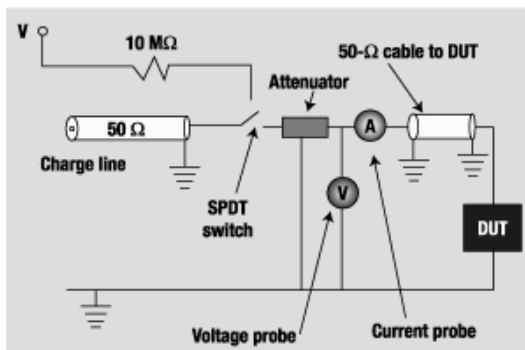


Рис. 1

Основной принцип теста состоит в накоплении заряда коаксиальным кабелем до определенного значения напряжения и его разрядка на входную/выходную контактную площадку устройства.

Метод TLP-моделирования имеет много общего с методом исследования по схеме *HBM* [4], в которой

также имеет место разряд конденсатора на тестируемое устройство. Отличие в том, что емкость по TLP-схеме является распределенной и тем самым обеспечивает прямоугольный входной импульс длиной 100 нс с временем нарастания около 2 нс. Амплитуда импульса равна приложенному напряжению  $U_{in}$ , ширина импульса  $2L/v$ , где  $L$  — длина кабеля, а  $v$  — скорость изменения фазы. Чтобы не допустить разрушения устройства вследствие перегрева, необходимо обеспечить достаточный промежуток времени между двумя последовательными воздействиями [5]. С помощью осциллографа можно измерить падение напряжения на устройстве. Ток также может быть измерен или рассчитан при известных входном напряжении и падении напряжения на устройстве.

## 3. Заключение

Представлена модель для получения более точного результата при исследовании процесса воздействия короткого импульса ЭСР на микросхемы. Однако, как показывает опыт большинства производителей, необходимым условием получения наиболее достоверного результата является совмещение в исследовании эффективности защиты микросхем, как результатов моделирования, так и анализа расчетных данных, а также учет физики процесса для каждого конкретного случая. В настоящее время наибольшее практическое значение приобретают модели, способные учитывать комплексное состояние всего процесса в целом, включая и все физические процессы, происходящие в структуре изделия.

## 4. Список литературы

- [1] IEC 61000-4-2:2008 Electromagnetic compatibility (EMC). Part 4-2: Testing and measurement techniques. Electrostatic discharge immunity test.
- [2] K. Kato et al., EOS/ESD Symp., 4C.1, 2001
- [3] Amerasekera A. ESD in Silicon Integrated Circuits / A. Amerasekera, C. Duwury. — Chippenham: Wiley, 2002. — 422 p.
- [4] LG Henry et al., "Transmission Line Pulse Testing of the ESD Protection Structures of ICs—A Failure Analyst's Perspective," in Proceedings of the 26th ISTFA (Bellevue, WA: International Symposium for Testing and Failure Analysis, 2000): 203–213.
- [5] "Calibrating TLP Systems," Barth Electronics TLP Application Notes (Boulder City, NV: B.E. Inc. [cited 2 March 2001])

## THE COMBINED METHOD OF IC'S PROTECTION FROM ESD

Bryleva V.A.

Scientific adviser: Alexeev V.F.

Belarusian state university of informatics and radioelectronics, Belarus

**Abstract** — The optimization method of ESD protection design, based on the combination of using the measurements and simulations, is proposed. The analysis of physical processes which are taking place in the structure, during the short electrostatic pulse impact, is made.

The combined applying of a measurement and simulation for data complement and the physical analysis is necessary for optimization of ESD protection design.