

ПОМЕХОУСТОЙЧИВЫЙ LDPC КОДЕК

Мartiнович П.В.

Научный руководитель: канд. техн. наук, доц. Саломатин С.Б.

Белорусский государственный университет информатики и радиоэлектроники, Беларусь

E-mail: pavelmvl@tut.by

Аннотация — Рассмотрены структурные схемы кодера и декодера систематического LDPC кода и характеристики аппаратного кодера, синтезированного на их основе.

1. Введение

Важный вклад в повышение достоверности обмена цифровыми данными вносит помехоустойчивое кодирование на основе обнаружения и исправления ошибок. В работе рассматривается помехоустойчивый LDPC (*Low-density parity-check*) кодек на основе алгоритма многопорогового декодирования [1].

2. Основная часть

Для построения помехоустойчивого LDPC кодера выбран матричный алгоритм кодирования. При этом LDPC код является систематическим и описывается низкоплотной проверочной матрицей ($H = [I, P]$) [2]. Структурная схема кодера показана на рис. 1.



Рис. 1

Кодер основан на матричном перемножителе. Матрица P формируется на основе алгоритма Маккея по параметрам, хранящихся в ПЗУ [3].

На рис. 2 показана структурная схема декодера LDPC кода. В декодере используется алгоритм многопорогового декодирования (МПД) и мягкий алгоритм демодуляции. МПД алгоритм значительно уменьшает вычислительную сложность декодера по сравнению с оптимальными алгоритмами, при этом незначительно (до 0,5 дБ) увеличивается вероятность ошибки на бит информации в зависимости от отношения сигнал-шум.

После определения синдрома декодер на каждой итерации выполняет следующие операции над информационным символом i_k :

а) вычисляется сумма проверок по формуле

$$L_k = \sum_{m=1}^J S_m^k + d_k,$$

где J — количество проверок (ненулевых элементов в столбце проверочной матрицы кода); d_k — символ разностного регистра, относящийся к декодируемому символу i_k ; S_m^k — элемент синдромного регистра,

входящий во множество проверок относительно декодируемого символа i_k , $m = 1, 2, \dots, J$;

б) если сумма проверок превышает порог, то информационный символ i_k , все связанные с ним проверки $\{S\}_m$ и разностный символ d_k инвертируются. В противном случае сразу осуществляется переход к декодированию следующего символа.

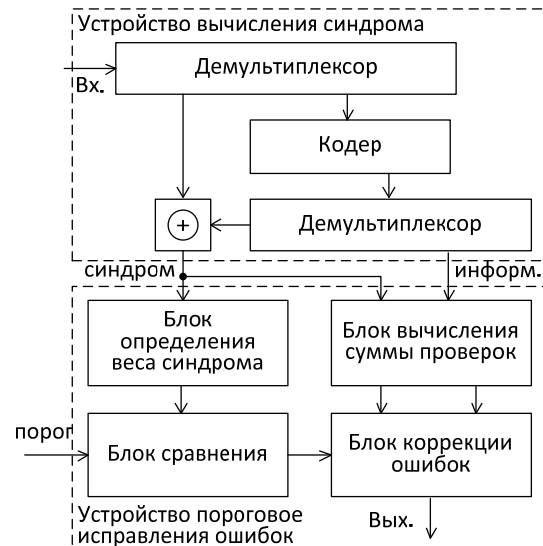


Рис. 2

3. Заключение

В работе выполнено математическое моделирование в среде *Simulink* пакета *Matlab* и аппаратная реализация кодера LDPC кода на базе ПЛИС *Xilinx Spartan 6*. Параметры аппаратного кодера: скорость информационного потока — 50 Мбит/с; размер ПЗУ — 500 Кбит, размер ОЗУ — 150 Мбит.

4. Список литературы

- [1] Золотарев В.В. Многопороговые декодеры и оптимизационная теория кодирования / В.В. Золотарев, Ю.Б. Зубарев, Г.В. Овечкин. — М.: Горячая линия — Телеком, 2012. — 239 с.
- [2] Галагер Р. Коды с малой плотностью проверок на четность / Р. Галагер. — М.: Мир, 1966. — 145 с.
- [3] MacKay D.J.C. Information Theory, Inference, and Learning Algorithms / D.J.C. MacKay. — Cambridge: Cambridge University Press, 2003. — 640 p.

INTERFERENCE IMMUNITY LDPC CODEC

Martinovich P.V.

Scientific adviser: Salomatin S.B.

Belarusian State University of Informatics and Radioelectronics, Belarus

Abstract — The block diagrams of the encoder and decoder of the systematic LDPC code and the specifications of the synthesized hardware codec, which is based on PLD, are considered.